

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085331  
 (43)Date of publication of application : 30.03.2001

(51)Int.Cl. H01L 21/203  
 C23C 14/02  
 H01L 21/205  
 H01L 21/3065

(21)Application number : 2000-138942 (71)Applicant : APPLIED MATERIALS INC  
 (22)Date of filing : 11.05.2000 (72)Inventor : BARNEY M COHEN  
 SURAJU RENGARAJAN  
 SHANBIN LEE  
 KENNEY KING-TYE NUGYAN  
 PEJAN DEIN

## (30)Priority

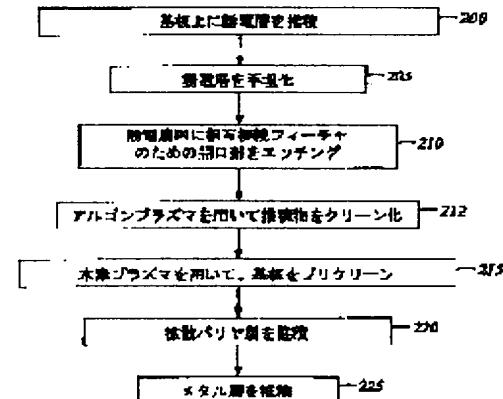
Priority number : 99 309606 Priority date : 11.05.1999 Priority country : US

## (54) SEQUENTIAL SPUTTER AND REACTIVE PRECLEANING OF VIA-HOLE AND CONTACT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To generally obtain a method for improving fill and electrical performance of metals deposited on patterned dielectric layers.

**SOLUTION:** A method includes a process, in which a patterned dielectric layer is cleaned in a processing chamber with a first plasma, consisting essentially of argon (212), a process in which the patterned dielectric layer is cleaned in a processing chamber with a second plasma consisting essentially of hydrogen and helium (215), a process in which a barrier layer is deposited on the patterned dielectric layer, after exposing the dielectric layer to the first plasma and the second plasma (220) and a process, in which a metal is deposited on the barrier layer. Furthermore, the sequential plasma treatments can be conducted in a variety of plasma processing chambers of an integrated processing sequence, including pre-clean chambers, PVD chambers, etching chambers and other plasma processing chambers.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85331

(P2001-85331A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/203  
C 23 C 14/02  
H 01 L 21/205  
21/3065

識別記号

F I  
H 01 L 21/203  
C 23 C 14/02  
H 01 L 21/205  
21/302

テマコード (参考)  
Z  
N

審査請求 未請求 請求項の数20 O L 外国語出願 (全30頁)

(21)出願番号 特願2000-138942(P2000-138942)  
(22)出願日 平成12年5月11日(2000.5.11)  
(31)優先権主張番号 09/309606  
(32)優先日 平成11年5月11日(1999.5.11)  
(33)優先権主張国 米国(US)

(71)出願人 390040660  
アプライド マテリアルズ インコーポレ  
イテッド  
APPLIED MATERIALS, I  
NCORPORATED  
アメリカ合衆国 カリフォルニア州  
95054 サンタ クララ パウアーズ ア  
ベニュー 3050  
(74)代理人 100088155  
弁理士 長谷川 芳樹 (外2名)

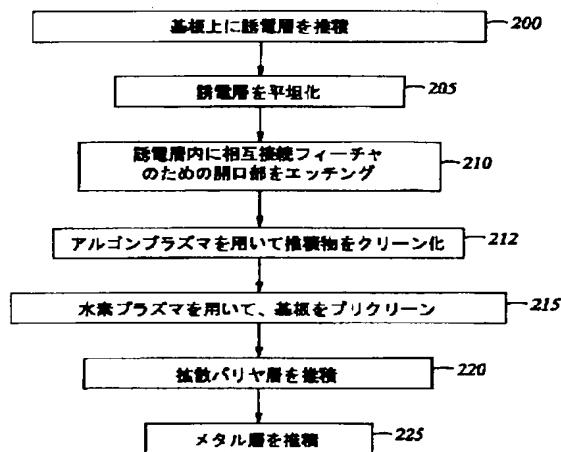
最終頁に続く

(54)【発明の名称】 バイア及びコンタクトのシーケンシャルスパッタ及び反応性プリクリーニング

(57)【要約】

【課題】 本発明は、一般には、パターニングされた誘電体層上へ堆積されるメタルの充填及びその電気性能を改善するための方法を提供する。

【解決手段】 アルゴンを必須として構成される第一プラズマを有する処理チャンバ内において、パターニングされた誘電体層をクリーニングすること(212)、水素とヘリウムを必須として構成される第二プラズマを有する処理チャンバ内で、パターニングされた誘電体層をクリーニングすること(215)、誘電体層を第一プラズマ及び第二プラズマへ曝露した後に、パターニングされた誘電体層上へバリア層を堆積すること(220)、及びバリア層上にメタルを堆積すること、を提供する。更に、シーケンシャルプラズマ処理が、統合プロセスシーケンスの種々のプラズマ処理チャンバ内で実施可能であり、それら処理チャンバには、プリクリーニングチャンバ、PVDチャンバ、エッティングチャンバ、及び他のプラズマ処理処理チャンバがある。



## 【特許請求の範囲】

【請求項 1】 パターニングされた誘電体層上へのメタル堆積を改良するための方法であって、

a) 主としてアルゴンを含む第一プラズマにより、処理チャンバ内で前記パターニングされた誘電体層をクリーニングすること、及び、

b) 水素とヘリウムを必須として構成される第二プラズマにより、前記処理チャンバ内で前記パターニングされた誘電体層をクリーニングすること、を含む方法。

【請求項 2】 前記処理チャンバがプリクリーニングチャンバである、請求項 1 に記載の方法。

【請求項 3】 前記第一プラズマがアルゴンを必須として構成される、請求項 1 に記載の方法。

【請求項 4】 前記第二プラズマが、原子数で約 5% から約 100% の水素と、原子数で約 0% から約 95% のヘリウムとを必須として構成される、請求項 1 に記載の方法。

【請求項 5】 前記誘電体層を前記第一プラズマ及び前記第二プラズマに曝露した後、前記パターニングされた誘電体層上にメタルを堆積することを更に含む、請求項 1 に記載の方法。

【請求項 6】 基板上の、パターニングされた誘電体層上へのメタル堆積を改良するための方法であって、

a) 主としてアルゴンを含む第一プラズマにより、処理チャンバ内で前記パターニングされた誘電体層をクリーニングすることであって、前記第一プラズマは、前記処理チャンバを囲むコイルへ RF パワーを供給して前記基板を支持する基板支持部材へ RF バイアスを供給することによって生成される、

b) 水素とヘリウムを必須としてなる第二プラズマにより、前記処理チャンバ内で前記パターニングされた誘電体層をクリーニングすることであって、前記第二プラズマは、前記処理チャンバを囲む前記コイルに RF パワーを供給して前記基板を支持する前記基板支持部材へ RF バイアスを供給することによって生成され、及び、

c) 前記誘電体層を前記第一プラズマ及び前記第二プラズマに曝露した後、前記パターニングされた誘電体層へメタルを堆積すること、を含む方法。

【請求項 7】 前記処理チャンバがプリクリーニングチャンバである、請求項 6 に記載の方法。

【請求項 8】 前記第一プラズマがアルゴンを必須として構成される、請求項 6 に記載の方法。

【請求項 9】 前記第二プラズマが、原子数で約 5% の水素と、原子数で約 95% のヘリウムとを必須として構成される、請求項 6 に記載の方法。

【請求項 10】 更に、前記メタルを堆積するのに先だって、前記パターニングされた誘電体層上にバリア層を堆積することを含む、請求項 6 に記載の方法。

【請求項 11】 前記第一プラズマを生成するために基板支持部材に加える RF バイアスよりも、前記第二プラ

ズマを生成するために前記基板支持部材に加える RF バイアスの方が小さい、請求項 6 に記載の方法。

【請求項 12】 前記第一プラズマは、前記コイルに加えられる約 300W の RF パワーと、前記基板支持部材に加えられる約 300W の RF バイアスとで生成され、前記第二プラズマは、前記誘導コイルに加えられる約 450W の RF パワーと前記基板支持部材に加えられる約 10W の RF バイアスとで生成される、請求項 6 に記載の方法。

【請求項 13】 エッティングプラズマが、前記処理チャンバ内で約 60 秒間維持される、請求項 6 に記載の方法。

【請求項 14】 基板上のパターニングされた誘電体層上へのメタル堆積を改良するための方法であって、

a) アルゴンを必須として構成される第一プラズマにより、前記処理チャンバ内で前記パターニングされた誘電体層をクリーニングすることであって、前記第一プラズマは、処理チャンバを囲むコイルへ RF パワーを供給して前記基板を支持する基板支持部材へ RF バイアスを供給することによって生成され、

b) 水素とヘリウムを必須として構成される第二プラズマにより、前記処理チャンバ内において前記パターニングされた誘電体層をクリーニングすることであって、前記第二プラズマは、前記処理チャンバを囲む前記コイルへの前記 RF パワーの供給を増加して前記基板を支持する前記基板支持部材への前記 RF バイアスの供給を低減することによって生成され、

c) 前記誘電体層を前記第一プラズマと前記第二プラズマへ曝露した後、前記パターニングされた誘電体層上にバリア層を堆積すること、及び、

d) 前記バリア層上にメタルを堆積すること、を含む方法。

【請求項 15】 前記処理チャンバがプリクリーニングチャンバである、請求項 14 に記載の方法。

【請求項 16】 前記第二プラズマが、原子数で約 5% から約 100% の水素と、原子数で約 0% から約 95% のヘリウムとを必須として構成される、請求項 14 に記載の方法。

【請求項 17】 前記第二プラズマが、原子数で約 5% の水素と、原子数で約 95% のヘリウムとを必須として構成される、請求項 14 に記載の方法。

【請求項 18】 前記第一プラズマは、前記コイルに加えられる約 300W の RF パワーと前記基板支持部材に加えられる約 300W の RF バイアスとで生成され、前記第二プラズマは、前記コイルに加えられる約 450W の RF パワーと前記基板支持部材に加えられる約 10W の RF バイアスとで生成される、請求項 14 に記載の方法。

【請求項 19】 エッティングプラズマが、前記処理チャンバ内で約 60 秒間維持される、請求項 14 に記載の方法。

法。

【請求項 20】 前記第一プラズマは約 0.8 mTorr の前記処理チャンバ内圧力で生成され、前記第二プラズマは約 80 mTorr の前記処理チャンバ内圧力で生成される、請求項 14 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の分野】 本発明は、一般には基板上への膜の堆積に関する。より詳細には、本発明は、メタル堆積に先立つ、誘電体層のエッティングとクリーニングに関する。

【0002】

【関連技術の背景】 集積回路においては、フィーチャサイズがより小さくなり、多層メタライゼーション（多層配線技術）が一般的になるとともに、低誘電率膜の重要性が増してきている。低誘電率膜は、とりわけメタル間誘電体（IMD）層にとって、被覆された接続メタライゼーション間のRC時間遅延を減少させ、メタライゼーション間のクロストークを防止し、デバイスのパワー消費を低減するために望ましい。

【0003】 サブーハーフミクロンの多層メタライゼーションは、次世代の超大規模集積回路（「VLSI」）にとってキー技術の一つである。この技術の中心にある多層間接続は、プラグ及びその他の層間接続のようなアスペクト比が高いフィーチャの平坦化を必要とする。これらの層間接続を信頼性をもって形成することは、VLSI の成功と、個々の基板とダイ上の回路密度と品質を向上させる不断の努力にとって非常に重要である。

【0004】 従来の化学的気相堆積（CVD）及び物理的気相堆積（PVD）の技術は、基板上に形成されたコンタクトホール、バイア、トレンチ、又はその他のフィーチャ内へ導電材料を堆積させるために使用される。従来プロセスに伴う一つの問題は、コンタクトホール又は他のパターンが、しばしば高いアスペクト比、即ち、ホールの高さの、それらの幅又は直径に対する 1 より大きい比を持つことに起因する。ホールのアスペクト比は、技術の進歩が、より近接した間隔のフィーチャを得るにつれて高まる。

【0005】 天然の酸化物及び他の汚染物質は堆積メタルの不均一分布を促すので、微小フィーチャ内に天然の酸化物及び他の汚染物質が存在すると、普通は、フィーチャ内に堆積メタル中にボイドを生じさせる。露出した膜層／基板を酸素にさらす結果、この天然の酸化物が形成する。酸素への曝露は、基板を、処理チャンバ間の大気条件の空気中で移動させるとき、又は真空チャンバに残留する少量の酸素がウェーハ／膜層に接触するとき、又は層がエッティングによって汚染されるときに起きる。フィーチャ内の他の汚染物は、酸化物のオーバエッティングに由来するスパッタ物質、剥離プロセスに由来する残留するホトレジスト、先行する酸化物エッティングステッ

プに由来する残留した炭化水素又はフッ化炭化水素のポリマー、又はブリクリーニングスパッタエッティングプロセスに由来する再堆積物質である。天然の酸化物及び他の汚染物は膜成長が妨げられる領域を形成することにより、膜形成を妨げる領域を基板上に形成する。成長を制限された領域が堆積メタルで充填される前に、成長が高められた領域が、微小フィーチャを併呑して封止してしまう。

【0006】 また、天然の酸化物と他の汚染物の存在は、バイア／コンタクトの抵抗を増加させ、微小フィーチャの耐エレクトロマイグレーション性を低下させる。汚染物は、誘電体層、サブレイヤ（sub layer）又は堆積メタル中へ拡散し、微小フィーチャを含むデバイスの性能を変える可能性がある。汚染は、堆積メタルと下地の導電性又は半導電性のフィーチャとの界面における、フィーチャ内の薄い境界領域に限定されてもよいが、この薄い境界領域は微小フィーチャの極要部である。フィーチャにおける汚染物の許容レベル値は、フィーチャの幅が小さくなるとともに小さくなる。

【0007】 スパッタエッティングプロセスを用いるフィーチャのブリクリーニング（前洗浄）は、大きなフィーチャ内、又は約 4 : 1 未満のアスペクト比を有する大小フィーチャ内の汚染物を低減するには効果がある。しかし、スパッタエッティングプロセスは、物理的衝撃、フィーチャ側壁上への Si / SiO<sub>2</sub> のスパッタ堆積及び、フィーチャ側壁上へのアルミニウム又は銅のようなメタルのサブレイヤのスッパタ堆積、によりシリコン層に損傷を与える。より大きなフィーチャに関しては、スパッタエッティングプロセスは、フィーチャ内の汚染物の量を許容レベルまで低減するのが普通である。より大きなアスペクト比を有する微小フィーチャに関しては、スパッタエッティングプロセスはフィーチャ内汚染物の除去にさほど効果的ではなく、形成されたデバイスの性能を低下させるものであった。

【0008】 スパッタエッティングプロセスによるブリクリーニングは、露出した銅を有するフィーチャに特に適さない。銅は、容易に誘電体内に形成されたバイアの側壁ヲ含む誘電体中へ拡散し、に食い込んで、誘電体の完全性を破壊するか劣化させる。この拡散は、TEOS、熱酸化物、及び幾つかの低い K 定数を有する誘電体材料の場合にあてはまる。従って、銅のブリクリーニングを適用する場合には新たなブリクリーニングプロセスが必要である。

【0009】 図 1 に、例えば、二酸化ケイ素又は窒化ケイ素の層などの電気絶縁層又はその上の誘電体層 12 内に形成されたホール 11 を含む基板 10 を示す。ホールの側壁 14 上の汚染物はメタル含有層の不均一堆積を促すので、高アスペクト比のホール 11 内への均一なメタル含有層の堆積が難しい。メタル含有層は、結局、ホールが完全に充填される前にホールの幅を横切って集合

し、それにより、ホールの中にポイド及び不連続部を形成することになる。その後、ポイドを囲むメタル原子の高い移動性によって、原子が拡散し、図1に示すように円形ポイドを形成するポイド表面積を最小にする。これらのポイドと不連続部が、不良であって信頼性のない電気コンタクトを結果としてもたらす。

【0010】プリクリーニングは、主としてスパッタエッティング型のプロセスであって、そこでは、汚染物が基板からスパッタされる。それは、好ましくは、典型的にアルゴンである不活性ガスと典型的に水素である反応性ガスとの混合ガスを使って行われる。アルゴンと水素の混合ガスは、反応性及び非反応性の汚染物の両方を除去し、コンタクトホール、バイア、トレンチ、その他パターンの形状を修正して、後続のメタル堆積プロセスを改良するために使用できる。プリクリーニング混合ガス中のアルゴン含有量を増やすと、それに対応するプリクリーニングプロセスのエッティングレートの増加、及びそれに対応するプリクリーニングプロセスのエッティング均一性の低下がもたらされる。銅酸化物や炭化水素のような反応性化合物又は汚染物を効果的に除去するために、混合ガス中には水素が含まれなくてはならない。パターニングされた基板を、アルゴンと幾らかの量の水素との混合ガスでプリクリーニングすることにより、アルゴンによるプリクリーニングに比べ、エッティングレートは低く且つエッティング不均一性が高まる。

【0011】高濃度の反応性ガスと改善されたエッティングレートとの両方を有するプリクリーニングプロセスがあれば、実質的には反応性ガスの添加により汚染物の除去を実質的に促すことになろう。

【0012】Zhao他による米国特許第5, 660, 682号は、水素とアルゴンを含むプラズマを使って、パターニングされた誘電体層のエッティングと、反応性クリーニングとを結びつけた試みを例示している。アルゴンは、開口部から堆積物をエッティングし、水素は残留堆積物と反応して気体副成物を形成する。エッティングとクリーニングの組み合わせは、後続のメタル堆積を改良するが、組み合わせプラズマ処理は、後続のメタル層内のポイド形成を阻止しない。従って、パターニングされた誘電体層上への、特に、約1.0を超えるアスペクト比を有するバイア及びトレンチ等の開口上へのメタル層堆積を改良する方法に対する必要性が依然としてある。

### 【0013】

【発明の概要】本発明は、一般には、パターニングされた誘電体層上へ堆積されるメタルの充填と電気的性能とを改良するための方法を提供する。パターニングされた誘電体層内のバイア及びトレンチ等の開口部が、充填を促進するためにエッティングされ、次いで、開口部内のメタル酸化物を低減するためにクリーニングされる。一局面では、本発明は、主としてアルゴン含む第一プラズマによる処理チャンバ内での、パターニングされた誘電体

層のクリーニングと、水素とヘリウムを必須として構成される第二プラズマによる処理チャンバ内での、パターニングされた誘電体層のクリーニングとを提供する。エッティングとクリーニング後、開口部はバリア／ライナ層上に堆積可能なメタルで充填される。両クリーニングプロセスは、同一チャンバで行われることが好ましい。

【0014】また、本発明は、アルゴンを必須として構成される第一プラズマを使って、パターニングされた誘電体層を処理チャンバ内でクリーニングするためのプロセスを提供し、そこでは、第一プラズマが、処理チャンバを取り巻く誘導コイルへRFプラズマパワーを供給することにより、且つ基板を支持する基板支持部材へRFバイアスを供給することにより生成される。パターニングされた誘電体層は、水素とヘリウムを必須として構成される第二プラズマにより、処理内でクリーニングされるが、そこでは、第二プラズマが、処理チャンバを取り巻く誘導コイルへのRFプラズマパワー供給を増加させることにより、且つ基板を支持する基板支持部材へのRFバイアス供給を低減することにより生成される。

【0015】更に、第一プラズマと第二プラズマへ誘電体層を曝露させた後にバリア／ライナ層が、パターニングされた誘電体層上に堆積され、その後、メタル層がバリア層上に堆積されてもよい。更にまた、プリクリーニングチャンバ、物理的気相堆積チャンバ、エッティングチャンバ、及び他のプラズマ処理チャンバを含む統合プロセシングの各種プラズマ処理チャンバで、シーケンシャルプラズマ処理を実施することができる。

### 【0016】

【本発明の詳細な説明】本発明は、二酸化ケイ素層のような誘電体層内にエッティングされるバイア、コンタクト、及び他のフィーチャをプリクリーニングするための適切な方法を提供するが、ここで誘電体層は、Ge、Si、Al、Cu、又はTiNのサブレイヤのような、導体又は半導電性のサブレイヤを露出させるために、ドライ又はウェットのエッティングチャンバ内でエッティングされる。エッティングは、サブレイヤを露出させ、それによりフィーチャが、導電体又は半導電性の材料で充填されることが可能となり、それらの材料が、サブレイヤと、誘電体層上に引き続き堆積されるメタル層間接続層とを接続する。誘電体中のフィーチャのエッティングは、フィーチャの充填を改善するために、そして最終的に形成されるデバイスの集積度と信頼性を高めるために除去すべきである汚染物を残してしまうのが普通である。

【0017】誘電体層のエッティング後、フィーチャは、その内部に誘電体層のオーバエッティングに由来する損傷を受けたケイ素又はメタル残渣を含む可能性がある。フィーチャには、また、その表面上にホトレジスト剥離とアッシングプロセスとの一方又は両方に由来する残存ホトレジスト含み、或いは誘電体エッティングステップに由来する残存炭化水素、又はフッ化炭化水素のポリマーを

含む可能性がある。フィーチャ表面は、また、スパッタエッチングプリクリーニングプロセスにより生成した再堆積物質を含むかもしれない。これらの汚染物は、誘電体層内に移動し、或いは堆積メタルの不均一な分布を促すことでメタライゼーションの選択性を妨げる可能性がある。また、汚染物の存在により、フィーチャの幅が実質的に狭くなることと、その結果、バイア、コンタクト配線、又は他の導体フィーチャを形成するメタル内に狭い部分ができるることにより、堆積メタルの抵抗が増加する可能性がある。

【0018】本発明に従ってクリーニングされて、充填されたサブミクロンのフィーチャは、半導体基板の表面に誘電体材料を堆積する従来手法により形成される。現在公知の、又は今後発見される任意の誘電体材料を使用することができ、それは有機ポリマー、エアロゲル等の低誘電体材料を含め、本発明の範囲内のある。誘電体層は、一層以上の異なる層を含むことが可能であり、堆積を促進する適当などのようなサブレイヤにも堆積が可能である。好ましい堆積促進サブレイヤは、Al、Cu等の導体メタルと、TiN、Ta、TaN等のバリア表面とを含む。

【0019】一旦堆積されると、誘電体層は、従来技法によりエッチングされ、バイア、コンタクト、トレンチ、又はその他のサブミクロンフィーチャを形成する。フィーチャは、普通は、急峻な側壁を伴う高いアスペクト比を持つであろう。誘電体層のエッチングは、プラズマエッチングを含め、何れの誘電体エッチングプロセスで実現してもよい。二酸化ケイ素をエッチングするための特有の技法には、 $C_2F_6$ 、 $SF_6$ 、及び $NF_3$ のような化合物が含まれる。しかし、パターニングは、当該技術で知られる何れかの方法を使って、任意の層上に実現してもよい。

#### 【0020】

【好ましい実施形態の詳細な説明】図2は、多数基板の処理チャンバを有するクラスタツールシステムの概略図である。クラスタツールシステム100は、第一ステージ移送チャンバ115に取り付けた真空ロードロックチャンバ105、110を含む。ロードロックチャンバ105、110は、システム100を基板が出入りする間、第一ステージ移送チャンバ115内の真空条件を維持する。第一ロボット120は、ロードロックチャンバ105、110と、第一ステージ移送チャンバ115に取り付けられた1個以上の基板処理チャンバ125と130との間で基板を移送する。処理チャンバ125と130は、化学的気相堆積(CVD)、又は物理的気相堆積(PVD)、エッチング、プリクリーニング、デガス、オリエンテーション、及び他の基板プロセス等の多数の基板処理作業を実行するために設けることができる。また、第一ロボット120は、基板を移送して、第一ステージ移送チャンバ115と第二ステージ移送チャ

ンバ140間に配置された1個以上の移送チャンバ135に出入りさせる。移送チャンバ135は、第一ステージ移送チャンバ115と第二ステージ移送チャンバ140間の基板移送が可能な間、第二ステージ移送チャンバ140内の超高真空状態を維持するために使われる。第二ロボット145は、移送チャンバ135と複数の基板処理チャンバ150、155、160、及び165との間で基板を移送する。

【0021】上記処理チャンバ125、130と同様に、追加の処理チャンバ150、165は、様々な基板処理作業を実行するために設けることができる。例えば、処理チャンバ150は、酸化ケイ素膜の堆積のために設けたCVDチャンバであり、処理チャンバ155は、層間接触フィーチャ用の開口部のエッチングのために設けたエッチングチャンバであり、処理チャンバ160は、タンタル、窒化タンタルの一方又は両方のバリア膜の反応性スパッタ堆積のために設けたPVDチャンバであり、そして処理チャンバ165は、銅のような導体膜のスパッタ堆積のために設けたPVDチャンバである。上記処理チャンバを順に配置することは、本発明の実施のために有益である。集積回路又はチップの製造の層間接続部を完成するために必要とされる全てのプロセスを実行するためには、複数のクラスタツールシステムが必要である。

【0022】作業中、基板はマイクロプロセッサ又はコンピュータ(図示せず)により実行されるコンピュータプログラムの制御の下で動作するコンベアベルト又はロボットシステム(図示せず)により真空ロードロックチャンバ105、110に搬送される。また、ロボット120及び145は、コンピュータプログラムの制御の下で動作し、クラスタツールシステム100の種々の処理チャンバ間で基板を移送する。

【0023】上記クラスタツールシステムは主として説明のためのものである。電子サイクロトロン共鳴(ECR)プラズマ処理装置、誘導結合RF高密度プラズマ処理装置等のその他プラズマ処理設備が、クラスタツールシステムの一部として使われてよい。更に、本発明の酸化ケイ素層及びバリア層形成のための方法は、特定の装置、又は特定のプラズマ励起方法に限定されない。

【0024】図3は、本発明のアルゴンプリクリーニングステップと水素プラズマプリクリーニングステップを、水素プラズマプリクリーニングステップの前後に発生するその他のプロセスシーケンスステップに沿って示したフローチャートである。図3に示すステップは、クラスタツールシステム100のためにマイクロプロセッサ又はコンピュータコントローラにより実行されるコンピュータプログラムの命令に応じて実行が可能である。

【0025】第一に、誘電体層が基板上に堆積される(ステップ200)。酸化ケイ素膜等の誘電体層の堆積は、公知の様々な方法を通じて達成できる。誘電体層

は、例えば、図2に示すCVDチャンバ150内で実行されるCVD処理を使い堆積されることが好ましい。しかし、当業者なら分かるように能動デバイスやその他構造の形成のために、基板は、誘電体層の堆積の前に、多数の処理ステップに委ねられるのが普通である。

【0026】第二に、誘電体層は、上に重なる層の堆積に備えて平坦化される（ステップ205）。平坦化プロセスは、化学機械研磨（CMP）、エッティング、又は他の同様のプロセスを含むことが可能である。コンタクト、バイア等の層間接続フィーチャ用の開口部は、誘電体層内にエッティングされる（ステップ210）。スパッタエッティングプロセスは、図2のクラスタツールシステム100に示すエッティングチャンバ155等の典型的なエッティングチャンバ内での実行が可能である。典型的には、誘電体層の厚みは約0.5ミクロンと約3.0ミクロンの間であり、層間接続構造部は、サブクオータミクロンの開口部及び1:1より大きいアスペクト比（幅の高さに対する比）を有する。ステップ205、210は、メタライゼーションされた、又は複数層の材料で充填された層間接続フィーチャを有するパターニングされた基板を生み出す。

【0027】第3に、本発明によるアルゴンプラズマクリーニング（ステップ212）は、パターニングされた基板に実行されるが、先行するプロセスステップに由来する堆積物を除去するためである。アルゴンプラズマステップで堆積物は、アルゴンプラズマによりスパッタされ開口部から除かれる。アルゴンスパッタプロセスは、様々なチャンバ内で実行が可能だが、プリクリーニングチャンバ内での実行が好ましい。第4に、本発明による水素プラズマプリクリーニングステップは、パターニングされた基板に施される。基板は、水素プラズマ（ステップ215）を使ってプリクリーニングされるが、これは酸化銅を銅に還元し、誘電体層の構造をクリーンにし、安定化するためである。プリクリーニングステップは、何れの典型的なプラズマ処理チャンバ内でも実行可能であるが、プリクリーニングステップは、プリクリーニングチャンバ内で行うことが好ましい。本発明によるアルゴンプラズマエッティングと水素プラズマプリクリーニングのステップは、図5に示すプリクリーニングチャンバに関して更に詳細に説明する。

【0028】次に、好ましくは窒化タンタルである拡散バリア層が、上部を覆うメタル層へのケイ素の拡散防止のために堆積される（ステップ220）。拡散バリア層は、また、メタル膜と酸化ケイ素膜等の異なる膜間の膜密着性を改善する。窒化タンタル層は、公知の反応性スパッタリングのために設けたPVDチャンバを使って堆積されるのが好ましい。拡散バリア層の膜厚は、約50オングストロームと約200オングストロームの間であることが好ましい。

【0029】図4は、バリア層の堆積に役立つ典型的な

PVDチャンバの断面図である。PVDチャンバ310は、一般には、チャンバエンクロージャ312、基板支持部材314、ターゲット316、シールド318、クランプリング320、ガス入口322、ガス排気口324、マグネットアセンブリ326、RFプラズマパワーソース328、及びRFバイアスソース334を含む。処理中、基板330は基板支持部材314上に載置され、処理ガスが、ターゲットの端とシールド頂部間に配置されたガス入口322を通じて、ターゲット316、基板330、シールド318により画成される処理領域332へと導入される。RFバイアスソース334が基板支持部材314へRFバイアスを供給する一方、RFプラズマパワーソース328は、処理中にターゲットへRFパワーを供給して、処理領域332内の処理ガスのプラズマを励起して維持する。シールド318は、普通、処理中は接地されている。堆積中にプラズマ中のイオンは、ターゲットに衝撃を加え、ターゲットの表面から材料をスパッタする。スパッタされた材料は、プラズマ中のイオンと反応し、基板表面上に所望の膜を形成する。タンタル／窒化タンタル等のバリア膜の堆積のためには、処理ガスがアルゴンと窒素を含むことが普通であり、ここで、アルゴンは、ターゲット316に衝撃を加えるプラズマイオンのための主たるガスソースとして働き、窒素は、主としてターゲット316からスパッタされた原子（タンタル）と反応して、基板330上に堆積されるタンタル／窒化タンタル膜を形成する。バリア膜の堆積後、典型的には、約300度と約500度の間の温度で基板をアニールし、堆積膜の材料特性を改善する。

【0030】最後に、銅のようなメタル層が拡散バリア層に堆積され、層間接触フィーチャ（ステップ225）の形成を完了する。メタル層の厚みは、約6,000オングストロームと約10,000オングストロームの間であることが望ましい。銅の堆積は、公知の典型的なPVDチャンバ、又は典型的なCVDチャンバでの実行が可能である。上記プロセスは、多層の集積回路構造のために繰り返されることになる。

【0031】本発明によれば、パターニングされた誘電体層は、窒化タンタルバリア層の堆積に先立ち、アルゴンプラズマ、次いで水素プラズマを使ってプリクリーニングされる。プリクリーニングプロセスは、PVDチャンバ、CVDチャンバ、エッティングチャンバ、及びプリクリーニングチャンバを含む様々な処理チャンバ内で実行可能である。プリクリーニングプロセスは、窒化タンタルバリア層の堆積に先立ってプリクリーニングチャンバを使って行うことが好ましい。本発明はプリクリーニングチャンバを使って説明されるが、本発明は様々な処理チャンバに適用される。

【0032】図5は、本発明のために有利な典型的なプリクリーニングチャンバの断面図である。本発明に有利な

プリクリーニングチャンバの例は、Pre-Clean II Chamberであり、カリフォルニア州サンタクララのアプライドマテリアルズ社が提供するものである。一般には、プリクリーニングチャンバ510は、石英ドームの下の処理チャンバエンクロージャ514内に配置された基板支持部材512を有する。基板支持部材512は、典型的には、絶縁板522上の凹部520内に配置された中央ペデスタルプレート518を含み、ここで、基板支持部材512は、典型的には、石英、セラミック等でできている。処理中、基板524は、中央ペデスタルプレート518上に載置され、位置決めピン532によりその上に固定される。好ましくは、チャンバ内のプロセスガスに衝撃を与えて、それを中で維持するために、RFコイル526は、石英ドーム516の外側に配置され、RFパワーソース524に接続される。一般に、RFマッチングネットワーク530が、RFパワーソース524とRFコイル526とのマッチングのために設けられる。基板支持部材512は、基板支持部材512にバイアスを供給するRFバイアスソース528に接続されるのが普通である。RFパワーソース524は、コイル526に2MHzで約500WまでのRFパワーを提供し、RFバイアスソース528は、基板支持部材512に13.56MHzで約500WまでのRFバイアスを提供することが好ましい。

【0033】本発明によれば、パターニングされた、又はエッティングされた基板は、バリア層の堆積に先立ってプリクリーニングチャンバ内で、最初はアルゴンプラズマ、その後水素プラズマを使ってプリクリーニングされるのが好ましい。誘電体層が平坦化され、層間接続フィーチャの開口部が形成された後に、基板がプリクリーニングチャンバに移送されることが好ましい。基板のパターンエッティングは、プリクリーニングチャンバを有する処理プラットホーム又はシステムへの基板移送の前に、他の処理プラットホーム又はシステム内で処理してもよい。一旦、基板がプリクリーニングチャンバ内の処理のために載置されると、主としてアルゴン、即ち原子数で約50%を超えるアルゴンを含む処理ガスが、好ましくは約0.8m Torrの圧力で処理領域に導入される。アルゴンガスのプラズマは、処理領域で励起され、基板をアルゴンスパッタクリーニングの環境に委ねる。アルゴンプラズマは、RFパワーソース524からRFコイル526へ約50Wと約500Wの間のRFパワーと、RFバイアスソース528から基板支持部材512へ約50Wと約500Wの間のRFバイアスを印加し発生させることが好ましい。反応性水素プラズマでは容易に除去されない付着物に対して十分なクリーニング時間を与える与えるように、アルゴンプラズマは約10秒から約300秒の間保持される。アルゴンプラズマは、コイルに印加した約300WのRFパワーと、基板支持部材に印加した約300WのRFバイアスとにより生成される

ことが好ましく、そして好ましくは約60秒間保持される。

【0034】アルゴンプラズマに続いて、チャンバ圧力は約80mTorrに上げられ、水素とヘリウムを必須として成り、原子数で5%と100%間の水素を含む処理ガスが、処理領域に導入される。処理ガスは、好ましくは、約5%の水素と約95%のヘリウムを含む。水素/ヘリウムガスのプラズマは、処理領域内で衝撃を与えられて基板を反応性水素プラズマ環境に委ねる。水素プラズマは、RFパワーソース524から約50Wと約500Wの間のパワーをRFコイル526へ、RFバイアスソース528から約5Wと約300Wの間のRFバイアスを基板支持部材512へ印加することで生成される。水素プラズマは、約10秒と約300秒の間の時間で保持され、酸化銅を銅に還元し、基板をクリーニングする。水素プラズマは、約450WのRFパワーをコイルに、約10WのRFバイアスを基板支持部材に印加することで生成することが好ましく、好ましくは、約60秒間保持する。一旦、プリクリーニング処理が終わると、プリクリーニングチャンバは、処理ガスとプリクリーニングプロセスからの反応副成物を排気するために真空引きされる。その後、バリア層がクリーニングされた基板上に堆積され、図3に概略的に記載した残りのプロセスが実行される。

【0035】以上の記載は、本発明の好ましい実施の形態に向けられているが、本発明の他の及び異なる実施の形態は、本発明の基本的範囲から逸脱することなく考案されよう。本発明の範囲は、先に記載の特許請求の範囲により定められる。

#### 【図面の簡単な説明】

本発明の先に記載の特徴、利点、及び目的が達成される方法が詳しく理解されるように、上に簡単に概説した、添付図面に示すその実施の形態を参照して、より詳細に本発明が説明される。しかし、添付図面は、本発明の典型的な実施の形態を単に図解するだけであり、従って、本発明の範囲を制限すると考えるべきではないことに注意されたい。本発明は、他の同等に効果的な実施の形態も許容するからである。

【図1】図1は、パターンニングされた基板の部分断面図であって、ボイド、不連続部、及び非平坦面を有する基板内のコンタクトホール内で、不規則配向の微粒径粒子堆積層を示す。

【図2】図2は、多数基板処理チャンバを有するクラスタツールシステムの概略図である。

【図3】図3は、アルゴンと水素のプラズマステップ前后で起こる他のプロセスシーケンスステップに沿って、本発明のアルゴンプラズマクリーニングと水素プラズマクリーニングのシーケンシャルステップを示すフローチャートである。

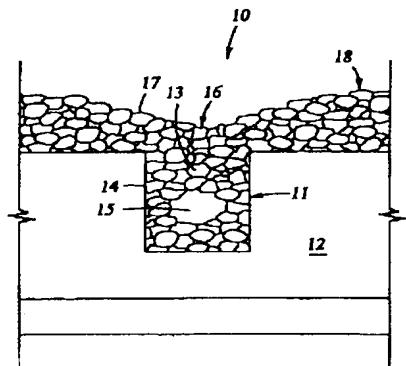
【図4】図4は、バリア層を堆積するために有用な典型

的PVDチャンバの断面図である。

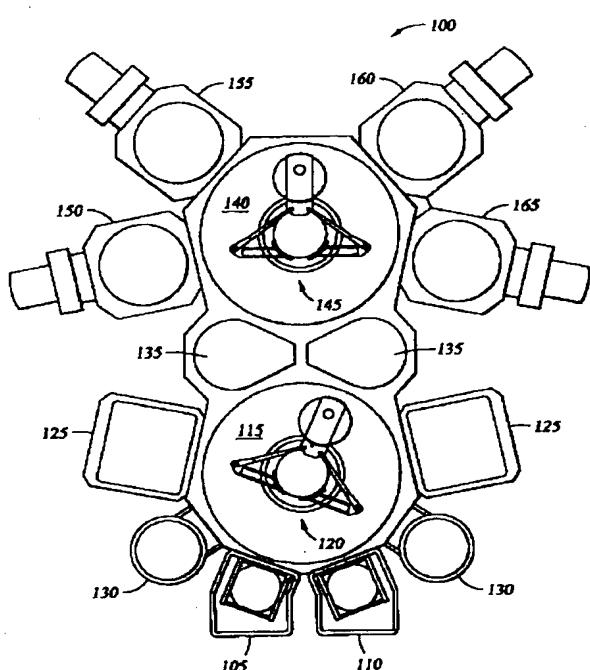
【図5】図5は、本発明に有用な典型的プリクリーニン

グチャンバの断面図である。

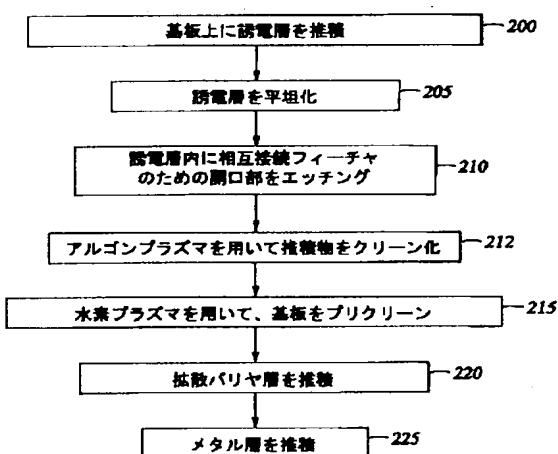
【図1】



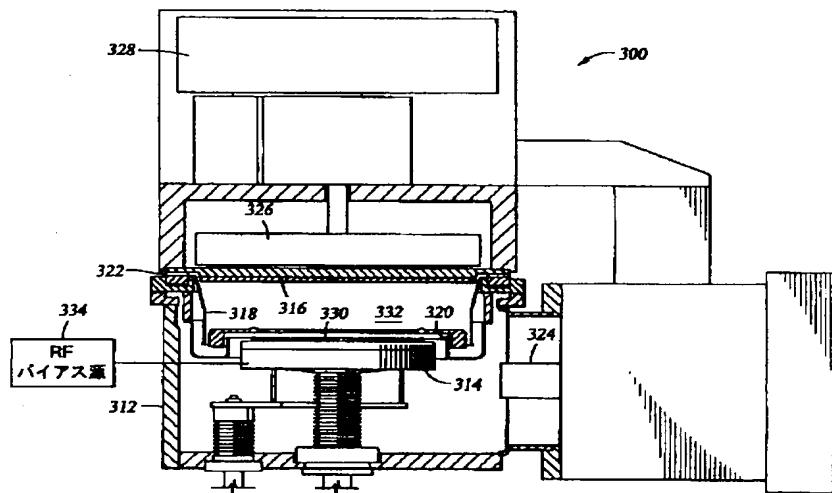
【図2】



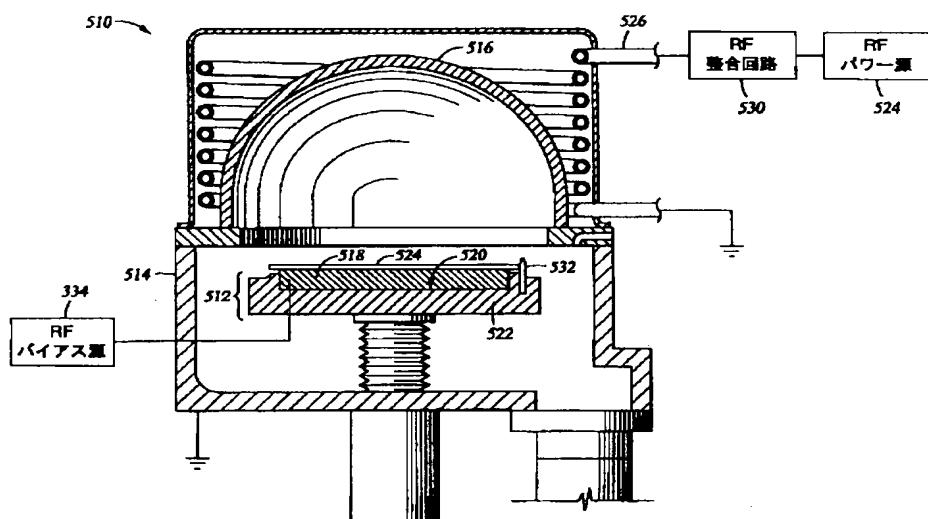
【図3】



【図4】



【図5】




---

フロントページの続き

(72) 発明者 バーニー エム. コーエン  
 アメリカ合衆国, カリフォルニア州,  
 サンタ クララ, マリエッタ ドライヴ  
 2931  
 (72) 発明者 スラジュ レンガラジャン  
 アメリカ合衆国, カリフォルニア州,  
 サニーヴェイル, アスター アヴェニュー  
 1035 アパートメントナンバー-1160

(72) 発明者 シャンビン リー  
 アメリカ合衆国, カリフォルニア州,  
 サンノゼ, ヴィラ センター ウェイ  
 648  
 (72) 発明者 ケニー キングータイ ヌギヤン  
 アメリカ合衆国, カリフォルニア州,  
 フリーモント, キャメロン ヒルズ ド  
 ライヴ 43793

(72)発明者 ペジヤン ディン  
アメリカ合衆国、 カリフォルニア州、  
サン ノゼ、 ダブリュー、 リヴァーサ  
イド ウェイ 1020

1 Title of Invention

**SEQUENTIAL SPUTTER AND REACTIVE PRECLEANS OF VIAS AND  
CONTACTS**

2 Claims

1. A method for improving metal deposition on a patterned dielectric layer, comprising:
  - a) cleaning the patterned dielectric layer in a processing chamber with a first plasma comprising predominantly argon; and
  - b) cleaning the patterned dielectric layer in the processing chamber with a second plasma consisting essentially of hydrogen and helium.
2. The method of claim 1, wherein the processing chamber is a pre-clean chamber.
3. The method of claim 1, wherein the first plasma consists essentially of argon.
4. The method of claim 1, wherein the second plasma consists essentially of from about 5% to about 100% of hydrogen by number of atoms and from about 0% to about 95% of helium by number of atoms.
5. The method of claim 1, further comprising depositing a metal on the patterned dielectric layer after exposing the dielectric layer to the first plasma and the second plasma.
6. A method for improving metal deposition on a patterned dielectric layer on a substrate, comprising:
  - a) cleaning the patterned dielectric layer in a processing chamber with a first plasma comprising predominantly argon, wherein the first plasma is generated by supplying RF power to a coil surrounding the processing chamber and supplying RF bias to a substrate support member supporting the substrate;
  - b) cleaning the patterned dielectric layer in the processing chamber with a second plasma consisting essentially of hydrogen and helium, wherein the second plasma is generated by supplying RF power to the coil surrounding the processing chamber and supplying RF bias to the substrate support member supporting the substrate; and
  - c) depositing a metal on the patterned dielectric layer after exposing the dielectric layer to the first plasma and the second plasma.

7. The method of claim 6, wherein the processing chamber is a pre-clean chamber.
8. The method of claim 6, wherein the first plasma consists essentially of argon.
9. The method of claim 6, wherein the second plasma consists essentially of about 5% hydrogen by number of atoms and about 95% of helium by number of atoms.
10. The method of claim 6, further comprising depositing a barrier layer on the patterned dielectric layer prior to depositing the metal.
11. The method of claim 6, wherein less RF bias is supplied to the substrate support member to generate the second plasma than is supplied to the substrate support member to generate the first plasma.
12. The method of claim 6, wherein the first plasma is generated with about 300 W of RF power supplied to the coil and about 300 W of RF bias supplied to the substrate support member, and the second plasma is generated with about 450 W of RF power supplied to the inductive coil and about 10 W of RF bias supplied to the substrate support member.
13. The method of claim 6, wherein each plasma is maintained in the processing chamber for about 60 seconds.
14. A method for improving metal deposition on a patterned dielectric layer on a substrate, comprising:
  - a) cleaning the patterned dielectric layer in a processing chamber with a first plasma consisting essentially of argon, wherein the first plasma is generated by supplying RF power to a coil surrounding the processing chamber and supplying RF bias to a substrate support member supporting the substrate;
  - b) cleaning the patterned dielectric layer in the processing chamber with a second plasma consisting essentially of hydrogen and helium, wherein the second plasma is generated by increasing the supply of RF power to the coil surrounding the processing chamber and reducing the supply of RF bias to the substrate support member supporting the substrate;

- c) depositing a barrier layer on the patterned dielectric layer after exposing the dielectric layer to the first plasma and the second plasma; and
- d) depositing a metal on the barrier layer.

15. The method of claim 14, wherein the processing chamber is a pre-clean chamber.

16. The method of claim 14, wherein the second plasma consists essentially of from about 5% to about 100% of hydrogen by number of atoms and from about 0% to about 95% of helium by number of atoms.

17. The method of claim 14, wherein the second plasma consists essentially of about 5% of hydrogen by number of atoms and about 95% of helium by number of atoms.

18. The method of claim 14, wherein the first plasma is generated with about 300 W of RF power supplied to the coil and about 300 W of RF bias supplied to the substrate support member, and the second plasma is generated with about 450 W of RF power supplied to the coil and about 10 W of RF bias supplied to the substrate support member.

19. The method of claim 14, wherein each plasma is maintained in the processing chamber for about 60 seconds.

20. The method of claim 14, wherein the first plasma is generated at a pressure in the processing chamber of about 0.8 mtorr, and the second plasma is generated at a pressure in the processing chamber of about 80 mtorr.

### 3 Detailed Description of Invention

#### **Field of the Invention**

The present invention generally relates to deposition of films onto a substrate. More particularly, the present invention relates to etching and cleaning of dielectric layers prior to metal deposition.

#### **Background of the Related Art**

As feature sizes have become smaller and multilevel metallization commonplace in integrated circuits, low dielectric constant films have become increasingly important. Low dielectric constant films are particularly desirable for intermetal dielectric (IMD) layers to reduce the RC time delay of the interconnect metallization being covered, to prevent crosstalk between the different levels of metallization, and to reduce device power consumption.

Sub-half micron multilevel metallization is one of the key technologies for the next generation of very large scale integration ("VLSI"). The multilevel interconnects that lie at the heart of this technology require planarization of high aspect ratio features such as plugs and other interconnects. Reliable formation of these interconnects is very important to the success of VLSI and to the continued effort to increase circuit density and quality on individual substrates and die.

Conventional chemical vapor deposition (CVD) and physical vapor deposition (PVD) techniques are used to deposit electrically conductive material into the contact holes, vias, trenches, or other features formed on the substrate. One problem with conventional processes arises because the contact holes or other patterns often comprise high aspect ratios, i.e., the ratio of the height of the holes to their width or diameter is greater than 1. The aspect ratio of the holes increases as advances in technology yield more closely spaced features.

The presence of native oxides and other contaminants within a small feature typically results in voids in the metal deposited in the features as the native oxides and other contaminants promote uneven distribution of the depositing metal. The native oxide typically forms as a result of exposing the exposed film layer/substrate to oxygen. Oxygen exposure occurs when moving substrates in air between processing chambers at atmospheric conditions, or when a small amount of oxygen remaining in a vacuum chamber contacts the wafer/film layer, or when a layer is contaminated by etching. Other contaminants within the features can be sputtered material from an oxide over-etch, residual photoresist from a

stripping process, leftover hydrocarbon or fluorinated hydrocarbon polymers from a previous oxide etch step, or redeposited material from a preclean sputter etch process. The native oxide and other contaminants create regions on the substrate which interfere with film formation, by creating regions where film growth is stunted. Regions of increased growth merge and seal the small features before regions of limited growth can be filled with the depositing metal.

The presence of native oxides and other contaminants also can increase the via/contact resistance and can reduce the electromigration resistance of small features. The contaminants can diffuse into the dielectric layer, the sublayer, or the deposited metal and alter the performance of devices which include the small features. Although contamination may be limited to a thin boundary region within the features at the interface of the deposited metal and an underlying conductive or semi-conductive feature, the thin boundary region is a substantial part of the small features. The acceptable level of contaminants in the features decreases as the features become smaller in width.

Precleaning of features using sputter etch processes is effective for reducing contaminants in large features or in small features having aspect ratios smaller than about 4:1. However, sputter etch processes can damage silicon layers by physical bombardment, sputter deposition of Si/SiO<sub>2</sub> onto sidewalls of the features, and sputter deposition of metal sublayers, such as aluminum or copper, onto sidewalls of the features. For larger features, the sputter etch processes typically reduce the amount of contaminants within the features to acceptable levels. For small features having larger aspect ratios, sputter etch processes have not been as effective in removing contaminants within the features, thereby compromising the performance of the devices which are formed.

Preclean by a sputter etch process is particularly unsuitable for features with exposed copper. Copper easily diffuses through dielectrics, including sidewalls of vias formed in dielectrics, destroying or compromising the integrity of the dielectric. This diffusion is especially true for TEOS, thermal oxide and some low K dielectric materials. Therefore, a new preclean process is needed for a Cu preclean application.

Referring to Figure 1, a substrate 10 including a hole 11 formed within an electrically insulative or dielectric layer 12 thereon, such as for example, a silicon dioxide or silicon nitride layer is shown. It is difficult to deposit a uniform metal-containing layer into the high aspect ratio hole 11 because contaminants on the sidewalls 14 of the holes promote uneven

deposition of the metal containing layer. The metal containing layer eventually converges across the width of the hole before it is completely filled, thus forming voids and discontinuities within the hole. Thereafter, the high mobility of metal atoms surrounding the voids causes the atoms to diffuse and minimize the surface area of the voids forming circular shaped voids as shown in Figure 1. These voids and discontinuities result in poor and unreliable electrical contacts.

Precleaning is primarily a sputter etch type process, wherein contaminants are sputtered from the substrate. It is preferably conducted with a mixture of an inert gas, typically argon, and a reactive gas, typically hydrogen. Mixtures of argon and hydrogen remove both reactive and non-reactive contaminants and can be used to modify the shape of contact holes, vias, trenches and other patterns to improve subsequent metal deposition processes. Increasing the argon content in the preclean mixture provides a corresponding increase in the etch rate of the preclean process and a corresponding decrease in the etch uniformity of the preclean process. Hydrogen must be included in the mixture to effectively remove reactive compounds or contaminants such as copper oxides and hydrocarbons. Precleaning patterned substrates with a mixture of argon and any amount of hydrogen provides a lower etch rate and an increased etch non-uniformity than precleaning with argon.

A preclean process having both high concentrations of reactive gases and improved etch rates would substantially promote removal of contaminants by addition of the reactive gases.

U.S. Patent No. 5,660,682, by Zhao et al, illustrates an attempt to combine etching and reactive cleaning of patterned dielectric layers using a plasma comprising hydrogen and argon. The argon etches deposits from apertures and the hydrogen reacts with remaining deposits to form gaseous byproducts. The combination of etching and cleaning does improve subsequent deposition of metals, however, the combined plasma processing does not prevent formation of voids in subsequent metal layers. Therefore, there remains a need for a method to improve deposition of metal layers on a patterned dielectric layer, especially apertures such as vias and trenches having an aspect ratio greater than about 1.0.

#### Summary of the Invention

The present invention generally provides a method for improving fill and electrical performance of metals deposited on patterned dielectric layers. Apertures such as vias and trenches in the patterned dielectric layer are etched to enhance filling and then cleaned to

reduce metal oxides within the aperture. In one aspect, the invention provides cleaning of the patterned dielectric layer in a processing chamber with a first plasma comprising predominantly argon, and cleaning the patterned dielectric layer in the processing chamber with a second plasma consisting essentially of hydrogen and helium. After etching and cleaning, the apertures are filled with a metal which may be deposited on a barrier/liner layer. Preferably, both cleaning processes are performed in the same chamber.

The invention also provides a process for cleaning a patterned dielectric layer in a processing chamber using a first plasma consisting essentially of argon, wherein the first plasma is generated by supplying RF plasma power to an inductive coil surrounding the processing chamber and by supplying RF bias to a substrate support member supporting the substrate. The patterned dielectric layer is cleaned in the processing chamber with a second plasma consisting essentially of hydrogen and helium, wherein the second plasma is generated by increasing the supply of RF plasma power to the inductive coil surrounding the processing chamber and reducing the supply of RF bias to the substrate support member supporting the substrate.

A barrier/liner layer may then be deposited on the patterned dielectric layer after exposing the dielectric layer to the first plasma and the second plasma, after which a metal layer may be deposited on the barrier layer. Furthermore, the sequential plasma treatments can be practiced in a variety of plasma processing chambers of an integrated process sequence, including pre-clean chambers, physical vapor deposition chambers, etch chambers, and other plasma processing chambers.

Detailed Description of the Invention

The invention provides a suitable method for precleaning vias, contacts, and other features etched into a dielectric layer, such as a silicon dioxide layer that is etched in a dry or wet etch chamber, to expose a conductive or semi-conductive sublayer, such as Ge, Si, Al, Cu, or TiN sublayers. The etch exposes the sublayer so that the feature can be filled with a conductive or semi-conductive material which connects the sublayer and a subsequent metal interconnect layer to be deposited on the dielectric layer. Etching of the features in the dielectric typically leaves contaminants which should be removed to improve filling of the features and ultimately improve the integrity and reliability of the devices formed.

After etching of the dielectric layer, the features can have damaged silicon or metal residues within the features from over-etching of the dielectric layer. The features can also contain residual photoresist on the feature surfaces from the photoresist stripping and/or ashing process or residual hydrocarbon or fluorinated hydrocarbon polymers from the dielectric etch step. The feature surfaces may also contain redeposited material generated by a sputter etch preclean process. These contaminants can migrate into the dielectric layer or can interfere with the selectivity of metallization by promoting uneven distribution of the depositing metal. The presence of the contaminants also can increase the resistance of the deposited metal by substantially narrowing the width of the feature, and thus creating a narrowed portion in the metal forming the via, contact line, or other conductive feature.

The submicron features that are cleaned and filled in accordance with the present invention, are formed by conventional techniques which deposit a dielectric material over a surface on a semiconductor substrate. Any dielectric material, whether presently known or

yet to be discovered, may be used and is within the scope of the present invention, including low dielectric materials such as organic polymers and aerogels. The dielectric layer may comprise one or more distinct layers and may be deposited on any suitable deposition enhancing sublayer. The preferred deposition enhancing sublayers include conductive metals such as Al and Cu, and barrier surfaces such as TiN, Ta, and TaN.

Once deposited, the dielectric layer is etched by conventional techniques to form vias, contacts, trenches or other submicron features. The features will typically have a high aspect ratio with steep sidewalls. Etching of the dielectric layer may be accomplished with any dielectric etching process, including plasma etching. Specific techniques for etching silicon dioxide include such compounds as C<sub>2</sub>F<sub>6</sub>, SF<sub>6</sub>, and NF<sub>3</sub>. However, patterning may be accomplished on any layer using any method known in the art.

#### **Detailed Description of a Preferred Embodiment**

Figure 2 is a schematic view of a cluster tool system having multiple substrate processing chambers. The cluster tool system 100 includes vacuum load-lock chambers 105, 110 attached to a first stage transfer chamber 115. The load-lock chambers 105, 110 maintain vacuum conditions within the first stage transfer chamber 115 while substrates enter and exit system 100. A first robot 120 transfers substrates between the load-lock chambers 105, 110 and one or more substrate processing chambers 125 and 130 attached to the first stage transfer chamber 115. Processing chambers 125, 130 can be outfitted to perform a number of substrate processing operations such as chemical vapor deposition (CVD), physical vapor deposition (PVD), etch, pre-clean, degas, orientation and other substrate processes. The first robot 120 also transfers substrates to/from one or more transfer chambers 135 disposed between the first stage transfer chamber 115 and a second stage transfer chamber 140. The transfer chambers 135 are used to maintain ultrahigh vacuum conditions in the second stage transfer chamber 140 while allowing substrates to be transferred between the first stage transfer chamber 115 and the second stage transfer chamber 140. A second robot 145 transfers substrates between the transfer chambers 135 and a plurality of substrate processing chambers 150, 155, 160 and 165.

Similar to the processing chambers 125, 130 described above, the additional processing chambers 150, 165 can be outfitted to perform a variety of substrate processing operations. For example, the processing chamber 150 is a CVD chamber outfitted to deposit a silicon oxide film; the processing chamber 155 is an etching chamber outfitted to etch

apertures or opening for interconnect features; the processing chamber 160 is a PVD chamber outfitted to reactively sputter deposit a barrier film such as tantalum and/or tantalum nitride; and the processing chamber 165 is a PVD chamber outfitted to sputter deposit a conductive film, such as copper. The above listed sequence arrangement of the processing chambers is useful for practicing the present invention. A plurality of cluster tool systems may be required to perform all of the processes required to complete the interconnect portion of the manufacture of an integrated circuit or chip.

During operation, substrates are brought to vacuum load-lock chambers 105, 110 by a conveyor belt or robot system (not shown) that operates under the control of a computer program executed by a microprocessor or computer (not shown). Also, the robots 120 and 145 operate under control of the computer program to transfer substrates between the various processing chambers of the cluster tool system 100.

The above-described cluster tool system is mainly for illustrative purposes. Other plasma processing equipment, such as electron cyclotron resonance (ECR) plasma processing devices, induction-coupled RF high-density plasma processing devices or the like may be employed as part of the cluster tool system. Additionally, the method for forming a silicon oxide layer and barrier layer of the present invention is not limited to any specific apparatus or to any specific plasma excitation method.

Figure 3 is a flowchart showing an argon precleaning step and a hydrogen plasma pre-cleaning step of the present invention along with other process sequence steps that occur before and after the hydrogen plasma pre-cleaning step. The steps shown in Figure 3 can be executed in response to instructions of a computer program executed by a microprocessor or computer controller for the cluster tool system 100.

First, a dielectric layer is deposited over a substrate (step 200). The deposition of dielectric layers such as silicon oxide films can be accomplished through a variety of methods well known in the art. Preferably, the dielectric layer is deposited using a chemical vapor deposition process performed, for example, in the CVD chamber 150 as shown in Figure 2. Before deposition of the dielectric layer, however, the substrate is typically subjected to multiple processing steps to form active devices and other structures as understood by a person of ordinary skill in the art.

Second, the dielectric layer may be planarized (step 205) in preparation for deposition of overlying layers. The planarization process can include chemical mechanical polishing (CMP), etching or other similar processes. Openings or apertures for interconnect features,

such as contacts and vias, are etched in the dielectric layer (step 210). The sputter etching processes can be carried out in a typical etch chamber, such as the etch chamber 155 as shown in the cluster tool system 100 of Figure 2. Typically, the dielectric layer is between about 0.5 microns and about 3.0 microns thick, and the interconnect features have sub-quarter micron openings and aspect ratios (ratio of width to height) greater than 1:1. Steps 205 and 210 produces a patterned substrate having interconnect features to be metallized or filled with layers of materials.

Third, an argon plasma cleaning (step 212) according to the present invention is performed on the patterned substrate to remove deposits from prior process steps. In the argon plasma step, deposits are sputtered by an argon plasma and removed from the apertures. The argon sputter process can be performed in a variety of chambers, but is preferably performed in a pre-clean chamber. Fourth, a hydrogen plasma pre-cleaning step according to the present invention is performed on the patterned substrate. The substrate is pre-cleaned using a hydrogen plasma (step 215) to reduce copper oxide to copper and to clean and stabilize the structure of the dielectric layer. Although the pre-cleaning step can be carried out in any typical plasma processing chamber, the pre-cleaning step is preferably carried out in a pre-clean chamber. The argon plasma etch and the hydrogen plasma pre-cleaning steps according to the invention are discussed in more detail with reference to a pre-clean chamber shown in Figure 5.

Next, a diffusion barrier layer, preferably tantalum nitride, is deposited (step 220) to prevent diffusion of silicon into an overlaying metal layer. The diffusion barrier layer also improves film adhesion between different films, such as a metal film and a silicon oxide film. The tantalum nitride layer is preferably deposited using a PVD chamber outfitted for reactive sputtering which is well known in the art. Preferably, the diffusion barrier layer has a film thickness between about 50 Å and about 200 Å.

Figure 4 is a cross sectional view of a typical PVD chamber useful for depositing a barrier layer. The PVD chamber 310 generally includes a chamber enclosure 312, a substrate support member 314, a target 316, a shield 318, a clamp ring 320, a gas inlet 322, a gas exhaust 324, a magnet assembly 326, an RF plasma power source 328, and an RF bias source 334. During processing, a substrate 330 is placed on the substrate support member 314 and a processing gas is introduced through the gas inlet 322 disposed between the edge of the target and the top portion of the shield into a processing region 332 defined by the target 316, the substrate 330, and the shield 318. The RF plasma power source 328 supplies an RF power to

the target to strike and maintain a plasma of the processing gas in the processing region 332 during processing while the RF bias source 334 supplies an RF bias to the substrate support member 314. The shield 318 is typically grounded during processing. During deposition, the ions in the plasma bombard the target to sputter material from the target surface. The sputtered material reacts with ions in the plasma and forms the desired film on the surface of the substrate. For deposition of a barrier film, such as tantalum/tantalum nitride, the processing gas typically comprises argon and nitrogen, wherein argon serves as the primary gas source for the plasma ions that bombard the target 316 and nitrogen primarily reacts with the sputtered atoms (tantalum) from the target 316 to form a tantalum/tantalum nitride film which is deposited onto the substrate 330. After deposition of the barrier film, the substrate is typically annealed at a temperature between about 300°C and about 500°C to improve the material properties of the deposited film.

Lastly, a metal layer, such as copper, is deposited over the diffusion barrier layer to complete the formation of the interconnect feature (step 225). Preferably, the metal layer is between about 6,000 Å and about 10,000 Å thick. The copper deposition can be carried out in a typical PVD chamber or a typical CVD chamber which are well known in the art. The above-described process may be repeated for multi-level integrated circuit structures.

According to the present invention, the patterned dielectric layer is pre-cleaned using an argon plasma and then a hydrogen plasma prior to the deposition of the tantalum nitride barrier layer. The pre-cleaning processes can be carried out in a variety of processing chambers, including a PVD chamber, a CVD chamber, an etch chamber and a pre-clean chamber. Preferably, the pre-cleaning process is carried out using a pre-clean chamber prior to the deposition of the tantalum nitride barrier layer. Although the invention is described using a pre-clean chamber, it is understood that the invention is applicable to a variety of processing chambers.

Figure 5 is a cross sectional view of a typical pre-clean chamber useful for the present invention. An example of a pre-clean chamber useful for the present invention is the Pre-Clean II Chamber available from Applied Materials, Inc., Santa Clara, California. Generally, the pre-clean chamber 510 has a substrate support member 512 disposed in a chamber enclosure 514 under a quartz dome 516. The substrate support member 512 typically includes a central pedestal plate 518 disposed within a recess 520 on an insulator plate 522, typically constructed of quartz, ceramic or the like. During processing, the substrate 524 is placed on the central pedestal plate 518 and contained thereon by locating pin 532.

Preferably, an RF coil 526 is disposed outside of the quartz dome 516 and connected to an RF power source 524 to strike and maintain a plasma of the process gases within the chamber. Generally, a RF match network 530 is provided to match the RF power source 524 and the RF coil 526. Typically, the substrate support member 512 is connected to an RF bias source 528 that provides a bias to the substrate support member 512. The RF power source 524 preferably provides up to about 500W of 2 MHz RF power to the coil 526 and the RF bias source 528 preferably provides up to about 500W of 13.56 MHz RF bias to the substrate support member 512.

According to the invention, the patterned or etched substrate is preferably pre-cleaned using first an argon plasma and then a hydrogen plasma in the pre-clean chamber prior to the deposition of a barrier layer. Preferably, the substrate is transferred into the pre-clean chamber after the dielectric layer has been planarized and the openings of the interconnect features have been formed. The pattern etching of the substrate may be processed in another processing platform or system before the substrate is transferred to a processing platform or system having a pre-clean chamber. Once the substrate is positioned for processing in the pre-clean chamber, a processing gas comprising predominantly argon, *i.e.*, greater than about 50% argon by number of atoms, is introduced into the processing region at a pressure of preferably about 0.8 mtorr. A plasma of the argon gas is struck in the processing region to subject the substrate to an argon sputter cleaning environment. The argon plasma is preferably generated by applying between about 50 W and about 500 W of RF power from the RF power source 524 to the RF coil 526 and between about 50 W and about 500 W of RF bias from the RF bias source 528 to the substrate support member 512. The argon plasma is maintained for between about 10 seconds and about 300 seconds to provide sufficient cleaning time for the deposits that are not readily removed by a reactive hydrogen plasma. The argon plasma is preferably generated by about 300W RF power applied to the coil and about 300W RF bias applied to the substrate support member, and preferably is maintained for about 60 seconds.

Following the argon plasma, the chamber pressure is increased to about 80 mtorr, and a processing gas consisting essentially of hydrogen and helium, comprising between about 5% and about 100% hydrogen by number of atoms, is introduced into the processing region. Preferably, the processing gas comprises about 5% hydrogen and about 95% helium. A plasma of the hydrogen/helium gas is struck in the processing region to subject the substrate to a reactive hydrogen plasma environment. The hydrogen plasma is generated by applying

between about 50 W and about 500 W power from the RF power source 524 to the RF coil 526 and between about 5 W and about 300 W of RF bias from the RF bias source 528 to the substrate support member 512. The hydrogen plasma is maintained for between about 10 seconds and about 300 seconds to reduce copper oxide to copper and to clean the substrate. The hydrogen plasma is preferably generated by about 450W RF power applied to the coil and about 10W RF bias applied to the substrate support member, and preferably is maintained for about 60 seconds. Once the pre-cleaning process is completed, the pre-clean chamber is evacuated to exhaust the processing gas and the reacted byproducts from the pre-cleaning process. The barrier layer is then deposited over the cleaned substrate, and the remaining processes outlined in Figure 3 are then carried out.

While the foregoing is directed to the preferred embodiment of the present invention, other and further embodiments of the invention may be devised without departing from the basic scope thereof. The scope of the invention is determined by the claims which follow.

#### 4 Brief Description of Drawings

So that the manner in which the above recited features, advantages and objects of the present invention are attained and can be understood in detail, a more particular description of the invention, briefly summarized above, may be had by reference to the embodiments thereof which are illustrated in the appended drawings.

It is to be noted, however, that the appended drawings illustrate only typical embodiments of this invention and are therefore not to be considered limiting of its scope, for the invention may admit to other equally effective embodiments.

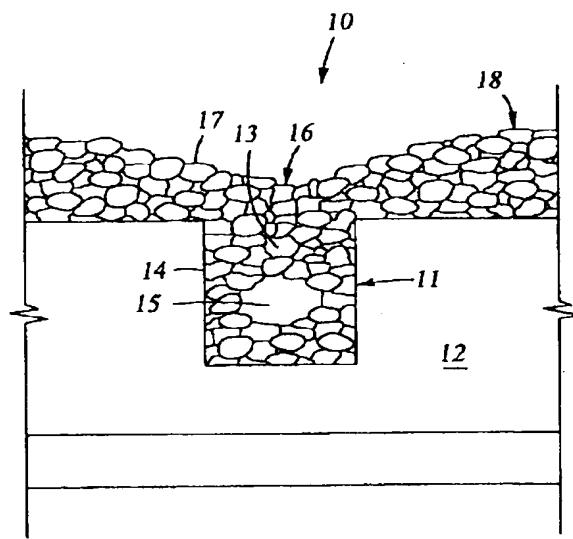
Figure 1 is a schematic partial sectional view of a patterned substrate showing a randomly-oriented, fine-grained, granular deposition layer in a contact hole in the substrate with voids, discontinuities and a non-planar surface;

Figure 2 is a schematic view of a cluster tool system having multiple substrate processing chambers;

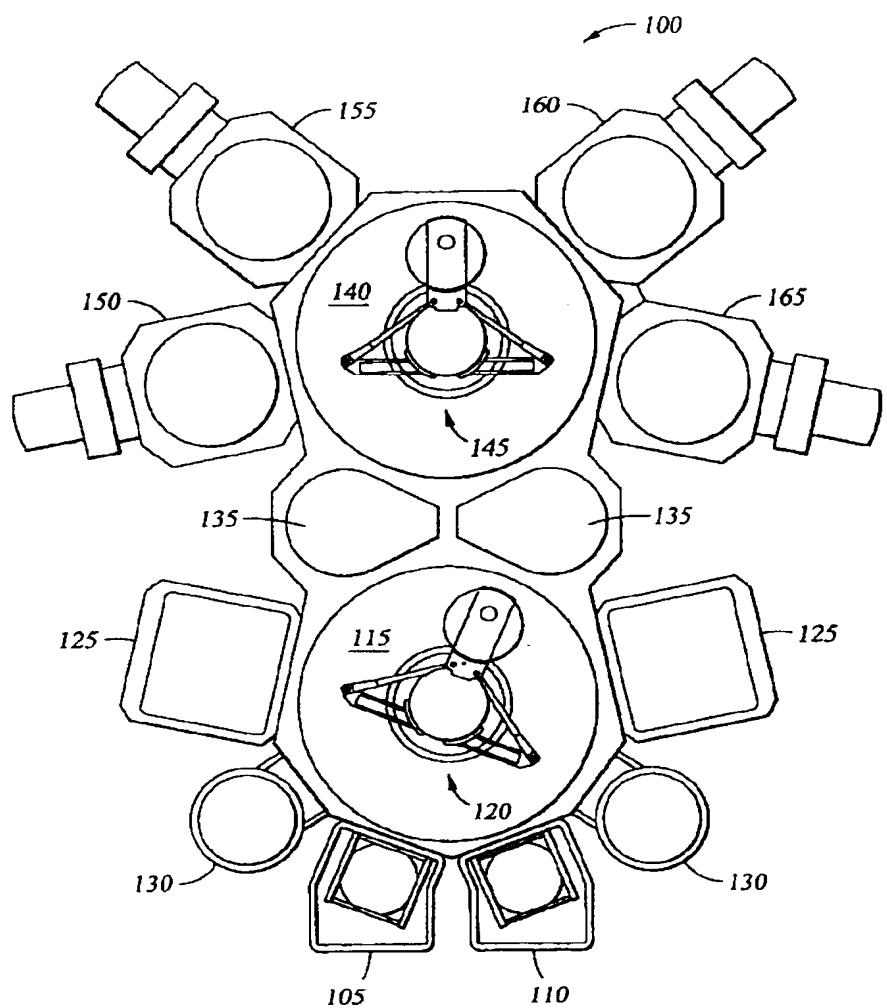
Figure 3 is a flowchart showing a sequential argon plasma cleaning and hydrogen plasma cleaning steps of the present invention along with other process sequence steps that occur before and after the argon and hydrogen plasma steps;

Figure 4 is a cross sectional view of a typical PVD chamber useful for depositing a barrier layer; and

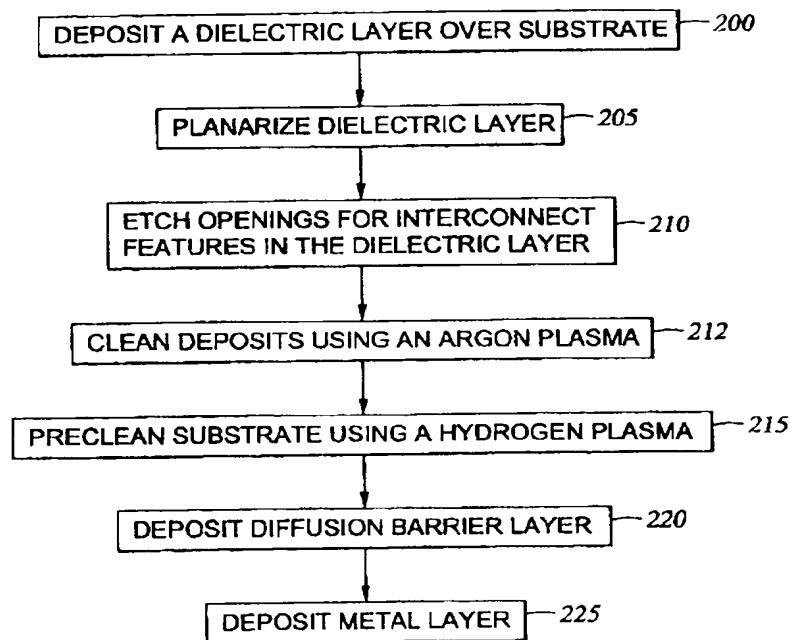
Figure 5 is a cross sectional view of a typical pre-clean chamber useful for the present invention.



*Fig. 1*  
(PRIOR ART)

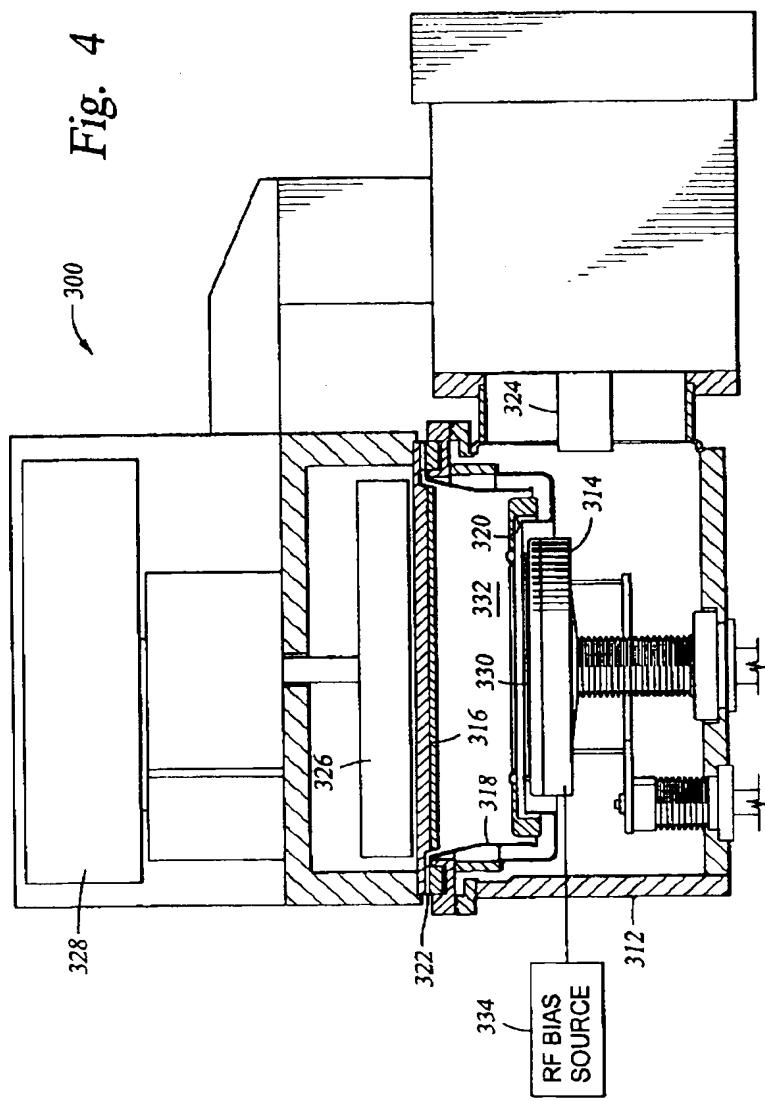


*Fig. 2*



*Fig. 3*

Fig. 4



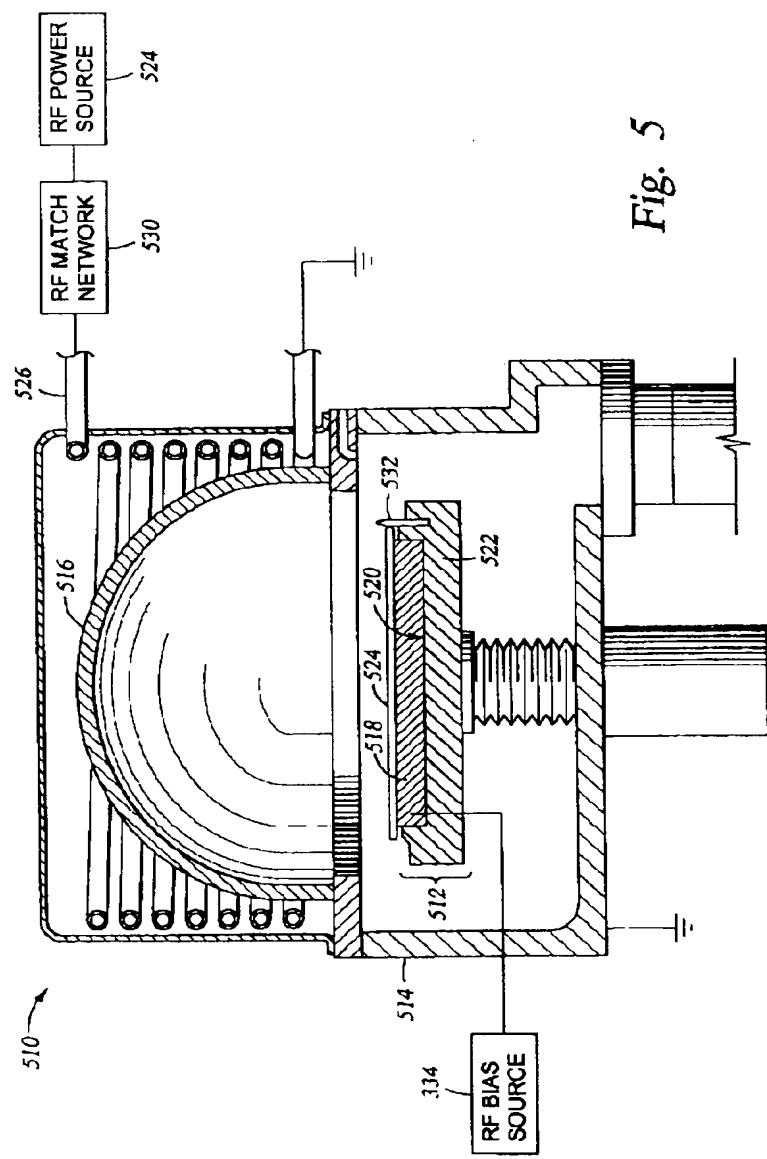


Fig. 5

I Abstract

The present invention generally provides a method for improving fill and electrical performance of metals deposited on patterned dielectric layers. Apertures such as vias and trenches in the patterned dielectric layer are etched to enhance filling and then cleaned in the same chamber to reduce metal oxides within the aperture. The invention also provides cleaning the patterned dielectric layer in a processing chamber with a first plasma consisting essentially of argon, wherein the first plasma is generated by supplying power to a coil surrounding the processing chamber and supplying bias to a substrate support member supporting the substrate, cleaning the patterned dielectric layer in the processing chamber with a second plasma consisting essentially of hydrogen and helium, wherein the second plasma is generated by increasing the supply of power to the coil surrounding the processing chamber and reducing the supply of bias to the substrate support member supporting the substrate, depositing a barrier layer on the patterned dielectric layer after exposing the dielectric layer to the first plasma and the second plasma, and depositing a metal on the barrier layer. Furthermore, the sequential plasma treatments can be practiced in a variety of plasma processing chambers of an integrated process sequence, including pre-clean chambers, physical vapor deposition chambers, etch chambers, and other plasma processing chambers.

2 Representative Drawing      Fig. 3